

第 1 章 简 述

EDA/SOPC 实验开发系统是根据现代电子发展的方向，集 EDA（电子设计自动化）和 SOPC（可编程片上系统）开发为一体的综合性实验开发系统，除了满足高校专、本科生和研究生的 SOPC 教学实验开发之外，也是电子设计和电子项目开发的理想工具。整个开发系统由 Nios II -EP4CE40 核心板、系统板和扩展板构成，根据不同的用户需求配置成不同的开发系统。

Nios II -EP4CE40 核心板是在经过长期市场考察后，同时兼顾入门学生以及资深开发工程师的应用需求而研发的。就资源而言，它可以组成一个高性能的嵌入式系统，运行目前流行的 RTOS（实时操作系统），如 uC/OS、uClinux 等。

系统主芯片采用 780 引脚、BGA 封装的 EP4CE40F29C6N，它拥有 39 600 个 LE（逻辑单元），11 134 kbit 片上 RAM，232 个 9×9 硬件乘法器、4 个高性能 PLL（锁相环）以及多达 533 个用户自定义 IO。板上提供了大容量的 SRAM、SDRAM 和 Flash ROM 等以及常用的 RS-232、USB2.0、RJ45 接口和标准音频接口等，除去板上已经固定连接的 IO，还有多达 352 个 IO（输入输出接口）通过不同的接插件引出，供实验箱底板和用户使用。

Nios II -EP4CE40 核心板是为开发人员提供以下硬件资源：

- 拥有 39 600 个基本逻辑单元和 1 134 kbit 片上 RAM
- Cyclone IV EP4CE40F29C6N FPGA
- 64 Mbit 的 EPCS64 配置芯片

基于 VHDL 的 EDA 实验指导教程

- 1 Mbyte SRAM, 型号为 IS61LV51216
- 32 Mbyte SDRAM, 型号为 HY57V561620
- 4 Mbyte NOR Flash ROM, 型号为 AM29LV320D
- 64 Mbyte NAND Flash ROM, 型号为 K9F1208U
- RS-232 DB9 串行接口
- USB2.0 Host 与 Device 接口, USB 芯片型号为 CH376S
- RJ45 网卡接口, 其中网卡芯片为 W5500
- 音频接口, 其中音频接口芯片为 TLV320AIC23
- 4 个用户自定义按键
- 4 个用户自定义 LED
- 1 个七段码 LED
- 标准 AS 编程接口和 JTAG 调试接口
- 50 MHz 高精度时钟源
- 两个高密度扩展接口 (可与配套实验箱连接)
- 两个标准 2.54 mm 扩展接口, 供用户自由扩展
- 支持+5 V 直接输入, 板载电源管理电路

除了上述核心板资源, EDA/SOPC 实验开发平台系统板提供了非常丰富的硬件资源供学生或开发人员学习。硬件资源包括接口通信、控制、存储、数据转换以及人机交互显示等几大模块: 接口通信模块包括 SPI 接口、IIC 接口、视频接口、RS232 接口、网卡接口、USB 接

口、PS2 键盘鼠标接口、1-Wire 接口等；控制模块包括直流电机、步进电机等；存储模块包括 CF 卡、SD 卡等；数据转换模块包括串行 ADC、DAC，高速并行 ADC、DAC 以及数字温度传感器等；人机交互显示模块包括 8 个轻触按键、16 个拨档开关、4×4 键盘阵列、800×480TFT LCD、8 位动态 7 段数码管、16×16 双色点阵以及交通灯等。另外片上还提供了一个简易模拟信号源和多路数字时钟模块。

上述的这些资源模块既可以满足初学者入门的要求，也可以满足开发人员进行二次开发的要求。

EDA/SOPC 实验开发平台系统板提供的资源具体为：

- 800×480 超大图形点阵电容触摸屏
- RTC 模块，利用 DS1302 芯片提供系统实时时钟
- 1 个直流电机和测速传感器模块
- 1 个步进电机模块
- 1 个 65 536 色 VGA 接口
- 1 路视频输入和视频输出接口
- 1 个标准串行接口
- 1 个以太网卡接口，利用 ENC28J60 芯片进行数据包的收发
- 1 个 USB 设备接口，利用 CH376 芯片实现 USB 协议转换
- SD 卡接口，可以用于连接 SD 卡或 MMC 卡
- 基于 SPI 接口的音频模块，使用 VS1053 芯片实现语音录放

基于 VHDL 的 EDA 实验指导教程

- 2 个 PS2 接口, 可接 PS2 键盘或者鼠标
- 1 个交通灯模块
- 串行 ADC 和串行 DAC, 其中 ADC 为 ADS7822, DAC 为 DAC7513
- 高速并行 8 位 ADC 和 DAC, 其中 ADC 为 TLC5540, DAC 为 TLC5602
- IIC 接口的 EEPROM, AT24C02
- 基于 1-Wire 接口的数字温度传感器 DS18B20
- 扩展接口, 供用户自由扩展
- 1 个数字时钟源, 提供 24 MHz、12 MHz、6 MHz、1 MHz、100 kHz、10 kHz、1 kHz、

100 Hz、10 Hz 和 1 Hz 等多个时钟频率

- 1 个模拟信号源, 提供频率在为 80 Hz ~ 8 kHz、幅度为 0 ~ 3.3 V 可调的正弦波、方波、

三角波和锯齿波

- 1 个 16×16 双色点阵 LED 显示模块
- 1 个 4×4 矩阵键盘
- 8 位动态七段码管 LED 显示
- 16 个用户自定义 LED 显示
- 16 个用户自定义开关输出
- 8 个用户自定义按键输出

第 2 章 系统模块介绍

2.1 核心板各模块介绍

下面对核心板上的各个模块及其硬件连接作详细说明。

2.1.1 FPGA

继 Altera 公司成功推出第一代 Cyclone FPGA 后，Cyclone 一词便成为低功耗、低价位以及高性能的象征。接下来几年，Altera 公司陆续发布了第二代、第三代、第四代 Cyclone FPGA，与第一代相比，后几代的 FPGA 芯片加入了硬件乘法器，同时内部存储单元数量也得到了进一步提升，性能大大提高。本开发平台上采用的 FPGA 是 EP4CE40F29C6N，它便是 Altera Cyclone IV 系列中的一员，采用 780 引脚的 BGA 封装，表 2-1 列出了该款 FPGA 的内部资源特性。

表 2-1 EP4CE40F29C6N 资源列表

资源类型	参数
逻辑单元	39 600 个
片上 RAM	1 134 kbit
18×18 硬件乘法器	116
PLL	4 个
用户可用 IO	533 个

EP4CE40F29C6N 管脚名称是通过行列合在一起来表示。行用英文字母表示，列用数字来

表示。通过行列的组合来确定是哪一个管脚。如 A2 表示 A 行 2 列的管脚。AF3 表示 AF 行 3 列的管脚

开发板上提供了两种途径来配置 FPGA：

(1) 使用 Quartus II 软件，配合下载电缆从 JTAG 接口下载 FPGA 所需的配置数据，完成对 FPGA 的配置。这种方式主要用来调试 FPGA 或 Nios II CPU，多在产品开发初期使用。

(2) 使用 Quartus II 软件，配合下载电缆，通过 AS 接口对 FPGA 配置器件进行编程，在开发板下次上电的时候，会自动完成对 FPGA 的配置。这种模式主要用于产品定型后，完成对 FPGA 代码的固化，以便产品能够独立工作。

2.1.2 SRAM

IS61LV51216 是一个 8 M 容量，结构为 512K×16 位字长的高速率 SRAM。IS61LV51216 采用 ISSI 公司的高性能 CMOS 工艺制造，性能高，功耗低。

当 /CE 处于高电平（未选中）时，IS61LV51216 进入待机模式。在此模式下，功耗可降低至 CMOS 输入标准。

使用 IS61LV51216 的低触发片选引脚 (/CE) 和输出使能引脚 (/OE)，可以轻松实现存储器扩展。低触发写入使能引脚 (/WE) 配合字节允许高位 (/UB) 存取和低位 (/LB) 存取将完全控制存储器的写入和读取。

SRAM 电路原理如图 2-1 所示。

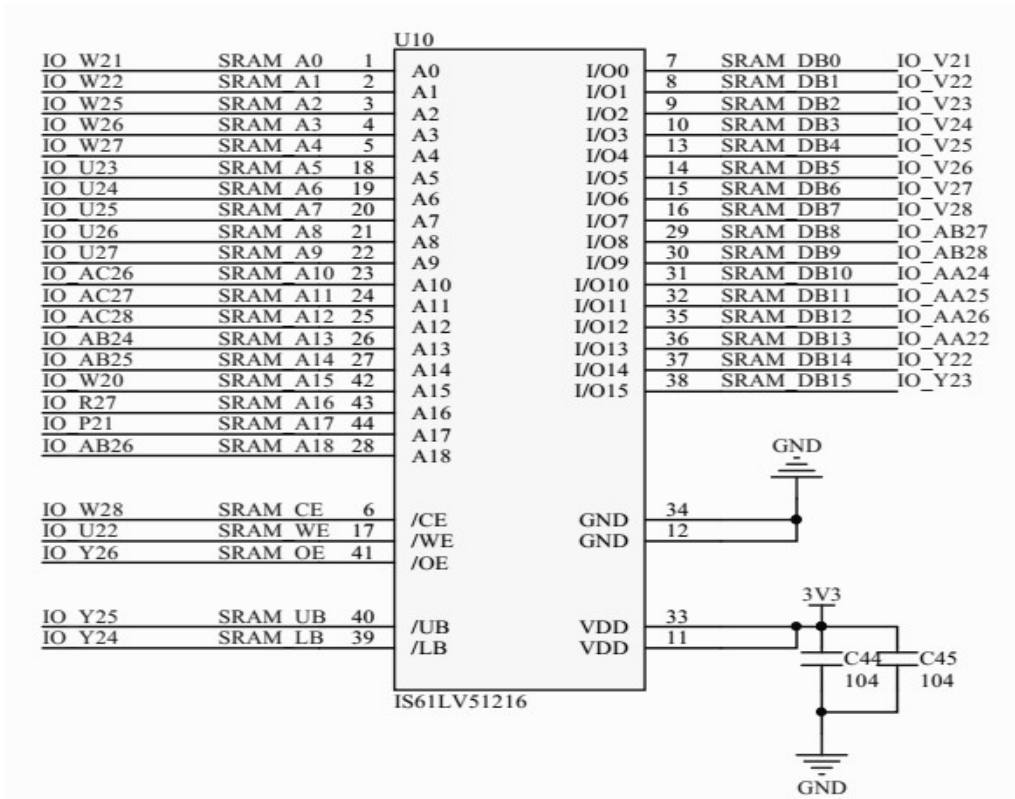


图 2-1 SRAM 电路原理图

SRAM 与 FPGA 的 IO 连接对应关系如下表 2-2 所示。

表 2-2 SRAM 与 FPGA IO 连接对应表

	SRAM	对应 FPGA 引脚
地址线	A0	PIN_W21
	A1	PIN_W22
	A2	PIN_W25
	A3	PIN_W26
	A4	PIN_W27

续表

	SRAM	对应 FPGA 引脚
地址线	A5	PIN_U23
	A6	PIN_U24
	A7	PIN_U25
	A8	PIN_U26
	A9	PIN_U27

	A10	PIN_AC26
	A11	PIN_AC27
	A12	PIN_AC28
	A13	PIN_AB24
	A14	PIN_AB25
	A15	PIN_W20
	A16	PIN_R27
	A17	PIN_P21
	A18	PIN_AB26
数据线	D0	PIN_V21
	D1	PIN_V22
	D2	PIN_V23
	D3	PIN_V24
	D4	PIN_V25
	D5	PIN_V26
	D6	PIN_V27
	D7	PIN_V28
	D8	PIN_AB27
	D9	PIN_AB28
	D10	PIN_AA24
	D11	PIN_AA25
	D12	PIN_AA26
	D13	PIN_AA22
	D14	PIN_Y22
	D15	PIN_Y23
	CE	PIN_W28
WE	PIN_U22	
OE	PIN_Y26	
UB	PIN_Y25	
LB	PIN_Y24	

2.1.3 SDRAM

SHY57V561620 是一个容量为 32 Mbyte、拥有 4 个 Bank、地址结构为 13 位行地址×9 位列地址、刷新周期为 7.8 us (8 192 次/64 毫秒) 的高速 SDRAM。

SDRAM 电路原理如图 2-2 所示。

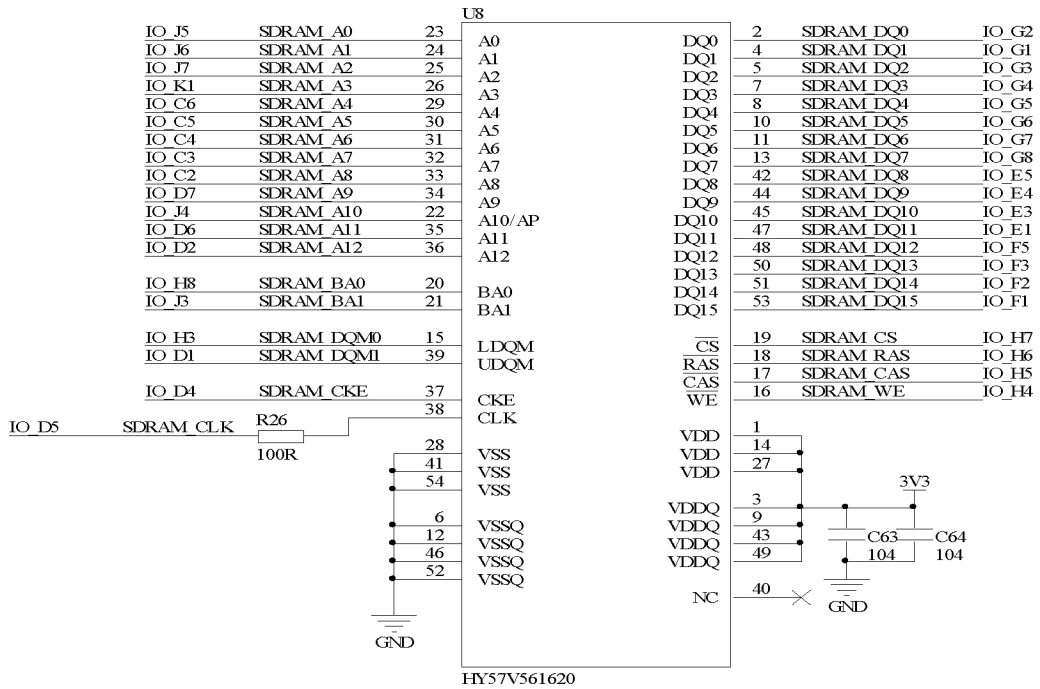


图 2-2 SDRAM 电路原理图

SDRAM 与 FPGA 的 IO 连接对应关系如表 2-3 所示。

表 2-3 SDRAM 与 FPGA IO 连接对应表

	SDRAM	对应 FPGA 引脚
地址线	A0	PIN_J5
	A1	PIN_J6
	A2	PIN_J7
	A3	PIN_K1
	A4	PIN_C6
	A5	PIN_C5
	A6	PIN_C4
	A7	PIN_C3
	A8	PIN_C2
	A9	PIN_D7
	A10	PIN_J4

续表

	SDRAM	对应 FPGA 引脚
地址线	A11	PIN_D6

	A12	PIN_D2
数据线	D0	PIN_G2
	D1	PIN_G1
	D2	PIN_G3
	D3	PIN_G4
	D4	PIN_G5
	D5	PIN_G6
	D6	PIN_G7
	D7	PIN_G8
	D8	PIN_E5
	D9	PIN_E4
	D10	PIN_E3
	D11	PIN_E1
	D12	PIN_F5
	D13	PIN_F3
	D14	PIN_F2
	D15	PIN_F1
控制线	BA0	PIN_H8
	BA1	PIN_J3
	DQM0	PIN_H3
	DQM1	PIN_D1
	CKE	PIN_D4
	CS	PIN_H7
	RAS	PIN_H6
	CAS	PIN_H5
	WE	PIN_H4
	CLK	PIN_D5

2.1.4 NOR Flash

核心板上提供了 1 片容量为 4 Mbyte (4 M×8 bit) 的 NOR Flash 存储器 AM29LV320D。

该芯片支持 3.0 ~ 3.6 V 单电压供电情况下的读、写、擦除以及编程操作，访问时间可以达到 90 ns。该芯片在高达 125 °C 的条件下，依然可以保证存储的数据 20 年不会丢失。

Nor Flash 电路原理如图 2-3 所示。